

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0084224
Application Number

출원년월일 : 2002년 12월 26일
Date of Application DEC 26, 2002

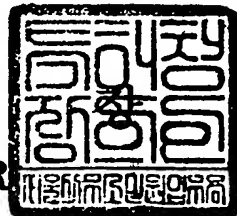
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0034
【제출일자】 2002. 12. 26
【발명의 명칭】 반도체소자 제조방법
【발명의 영문명칭】 METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE
【출원인】
【명칭】 주식회사 하이닉스반도체
【출원인코드】 1-1998-004569-8
【대리인】
【명칭】 특허법인 신성
【대리인코드】 9-2000-100004-8
【지정된변리사】 변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】 2000-049307-2
【발명자】
【성명의 국문표기】 이성권
【성명의 영문표기】 LEE, Sung Kwon
【주민등록번호】 640301-1268621
【우편번호】 467-860
【주소】 경기도 이천시 부발읍 현대7차아파트 706-1401
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
【수수료】 성 (인)
【기본출원료】 18 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 29,000 원
【첨부서류】 1. 요약서·명세서(도면) 1통

【요약서】**【요약】**

본 발명은 깊은 콘택홀을 통한 전도배선 형성시 전도배선의 갭-필 특성을 향상시킬 수 있는 반도체소자 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 제1영역과 그 주변의 제2영역을 갖는 반도체소자의 제조 방법에 있어서, 기판의 상기 제1영역 및 상기 제2영역에 각각 전도막과 절연성 하드마스크가 적층된 복수의 전도패턴을 형성하는 단계; 상기 제2영역에서 상기 하드마스크를 제거하여 상기 전도막을 노출시키는 단계; 상기 노출된 전도막 상에 확산방지막을 형성하는 단계; 상기 제1영역 및 상기 제2영역을 포함하는 기판 전면에 절연막을 증착하는 단계; 상기 제2영역에서의 상기 절연막을 선택적으로 식각하여 상기 확산방지막을 노출시키는 오픈부를 형성하는 단계; 및 상기 오픈부를 통해 상기 확산방지막과 전기적으로 도통되는 전도배선을 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

【대표도】

도 2f

【색인어】

전도배선, 확산방지막, 하드마스크, 주변회로영역, 비트라인 패턴, 금속배선.

【명세서】**【발명의 명칭】**

반도체소자 제조방법 {METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1은 종래기술에 따른 금속배선 형성 공정이 완료된 반도체 메모리소자의 주변회로영역을 도시한 단면도.

도 2a 내지 도 2f는 본 발명의 일실시예에 따른 반도체소자의 전도배선 형성 공정을 도시한 단면도.

* 도면의 주요 부분에 대한 부호의 설명

20 : 기판 21 : 전도막

22 : 하드마스크 23 : 식각정지막

24 : 제1절연막 28 : 확산방지막

29 : 제2절연막 32 : 전도배선

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 소자 제조 방법에 관한 것으로 특히, 반도체 소자의 금속배선 형성 방법에 관한 것이다.
- <9> 반도체소자 예컨대, 반도체 메모리소자의 셀 사이즈가 미세화됨에 따라 높은 정전 용량을 확보하기 위해서는 캐패시터의 수직 높이의 증가가 필요하고, 이에 따라 절연막의 두께는 증가하게 된다.
- <10> 한편, 고집적화에 따라 단위소자 간의 절연을 위한 절연막의 두께 중 하부 전도층과의 콘택을 위해 식각되어야 할 두께 예컨대, 비트라인의 전원라인 연결을 위해서 식각해야할 절연막의 두께는 $17000\text{\AA} \sim 19000\text{\AA}$ 정도이다.
- <11> 한편, 깊은 콘택홀 식각시 과도한 식각 타겟으로 인한 식각마스크의 문제는 하드마스크의 적용으로 어느 정도 해결이 가능하나, 전술한 깊은 콘택홀 형성을 위한 식각 공정에서 가장 문제가 되는 것은 식각 단면이 휘는 보잉 프로파일이다.
- <12> 이렇듯, 깊은 콘택홀 형성을 위한 식각 공정에서는 통상 $2000\text{\AA} \sim 10000\text{\AA}$ 의 깊이에서 피식각층 예컨대, 절연막이 과도 식각되는 보잉 현상이 발생한다.
- <13> 이러한 보잉 현상은 깊은 콘택홀 형성시 래디컬(Radical) 또는 이온 충격(Ion bombardment)에 의해 $2000\text{\AA} \sim 10000\text{\AA}$ 의 깊이에서 절연막이 과도 식각되어 발생하는 것으로, 입사되는 이온 및 래디컬은 이 부위에서 반사되어 하부를 식각하게 되므로 하부 식각을 진행 할수록 보잉 현상은 더욱 심각해진다.

- <14> 한편, 전술한 보잉 현상은 콘택홀에 전도배선 또는 플러그 물질을 매립하는 과정에서 공극(Void)을 발생시키며, 이는 결국 심(Seam)을 유발하게 된다.
- <15> 도 1은 종래기술에 따른 금속배선 형성 공정이 완료된 반도체 메모리소자의 주변회로영역을 도시한 단면도이다.
- <16> 도 1을 참조하면, 기판(10) 상에 전도막(11)과 하드마스크용 절연막(12)이 적층된 비트라인 패턴이 형성되어 있고, 비트라인 패턴 측벽에는 스페이서용 절연막(13)이 형성되어 있다.
- <17> 여기서, 전도막(11)은 폴리실리콘막 또는 텅스텐막을 포함하는 물질막이며, 하드마스크용 절연막(12)과 스페이서용 절연막(13)은 실리콘산화막에 비해 식각내성을 갖는 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 포함한다.
- <18> 비트라인 패턴 상부에는 절연막(14)이 형성되어 있으며, 절연막(14)과 하드마스크용 절연막(12)을 관통하여 오픈부(H)가 형성되어 있으며, 콘택홀(H)의 측벽 및 저면을 따라 확산방지막(16)이 형성되어 있고, 콘택홀(H) 내부의 확산방지막(16) 상에 금속배선 또는 플러그 등의 전도배선(15)이 형성되어 있다.
- <19> 한편, 주변회로영역에서의 절연막(14)은 셀영역에서 캐패시터 등을 형성할 때 형성되므로 그 두께는 10000Å 이상으로 두껍고 2층 구조 이상이다.
- <20> 반도체소자의 집적도가 증가함에 따라 캐패시턴스를 향상시키기 위해 절연막(14)의 두께는 점점 두꺼워지고, 비트라인 패턴의 폭은 점점 좁아진다. 따라서, 콘택홀(H)에서의 중형비는 점점 증가하게 된다.

- <21> 한편, 이러한 좁은 폭을 갖는 콘택홀(H) 영역에 확산방지막(16)을 먼저 형성함에 따라 전도배선(15)의 갭-필(Gap-fill) 특성은 열화된다. 이로 인해 전도배선(15) 내에서는 도면부호 '17'과 같이 공극(Void) 등이 발생하며, 이는 반도체소자의 전기적 특성을 열화시키는 주 요인이 된다.
- <22> 또한, 전도배선(15)은 그 비저항이 상대적으로 낮으나 갭-필 특성이 열악하여 전도배선(15)의 저항은 오히려 증가한다.
- <23> 따라서, 깊은 콘택홀을 통해 형성되는 전도배선의 갭-필 특성을 향상시킬 수 있는 공정 방법이 필요하다.

【발명이 이루고자 하는 기술적 과제】

- <24> 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 본 발명은, 깊은 콘택홀을 통한 전도배선 형성시 전도배선의 갭-필 특성을 향상시킬 수 있는 반도체소자 제조방법을 제공하는 것을 그 목적으로 한다.

【발명의 구성 및 작용】

- <25> 상기와 같은 문제점을 해결하기 위해 본 발명은, 제1영역과 그 주변의 제2영역을 갖는 반도체소자의 제조 방법에 있어서, 기판의 상기 제1영역 및 상기 제2영역에 각각 전도막과 절연성 하드마스크가 적층된 복수의 전도패턴을 형성하는 단계; 상기 제2영역에서 상기 하드마스크를 제거하여 상기 전도막을 노출시키는 단계; 상기 노출된 전도막상에 확산방지막을 형성하는 단계; 상기 제1영역 및 상기 제2영역을 포함하는 기판 전면

에 절연막을 증착하는 단계; 상기 제2영역에서의 상기 절연막을 선택적으로 식각하여 상기 확산방지막을 노출시키는 오픈부를 형성하는 단계; 및 상기 오픈부를 통해 상기 확산방지막과 전기적으로 도통되는 전도배선을 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

<26> 본 발명은 셀영역과 주변회로영역에 전도막과 그 상부에 하드마스크용 절연막을 구비하는 비트라인 등의 복수의 도전패턴을 형성한 다음, 셀콘택 공정을 통해 셀콘택 패드를 형성하고, 주변회로영역에서 도전패턴 상부의 하드마스크용 절연막을 제거한 다음, 하드마스크용 절연막이 제거된 부위에 확산방지막을 패터닝하여 형성한다.

<27> 이어서, 셀영역에서의 캐패시터 형성 공정을 실시한 다음, 주변회로영역의 도전패턴의 파워라인 연결을 위한 공정에서 절연막을 식각하여 확산방지막을 노출시키는 콘택홀을 형성하고 노출된 콘택홀에 콘택되도록 전도배선을 형성한다.

<28> 따라서, 좁은 콘택홀 영역에서 확산방지막 형성에 따른 갭-필 특성 열화를 방지할 수 있다.

<29> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

<30> 도 2a 내지 도 2f는 본 발명의 일실시예에 따른 다른 반도체소자의 전도배선 형성 공정을 도시한 단면도이다.

- <31> 먼저, 반도체소자를 이루기 위한 여러요소가 형성된 기판(20) 상에 전도성 물질과 하드마스크용 절연성 물질을 차례로 증착한다.
- <32> 여기서, 전도성 물질은 Ti, W, TiN 또는 폴리실리콘 등을 포함하며, 하드마스크용 절연성 물질은 층간절연용 물질로 사용되는 산화막과의 식각선택비를 갖기 위해 실리콘 질화막 또는 실리콘산화질화막 등의 질화막 계열을 사용한다.
- <33> 이어서, 전도패턴(예컨대, 비트라인 패턴) 형성을 마스크를 형성하고 이를 식각마스크로 하드마스크용 절연성 물질막과 전도성 물질막을 식각하여 전도층(21)과 하드마스크(22)가 적층된 복수의 비트라인 패턴을 형성한다.
- <34> 이어서, 비트라인 패턴이 형성된 프로파일을 따라 질화막 계열의 식각정지막(23)을 증착한다.
- <35> 도 2a는 복수의 비트라인 패턴이 형성된 공정 단면을 나타내는 바, A-A'은 셀영역을 나타내고, B-B'은 주변회로영역을 나타낸다.
- <36> 이어서, 식각정지막(23) 상에 통상의 층간절연용인 산화막 계열의 제1절연막(24)을 증착한다.
- <37> 제1절연막(24)은 산화막 계열의 물질막이 단층 또는 다층 구조로 형성된 것을 포함한다. 이러한 산화막 계열의 물질막은 BPSG막, LP-TEOS막, PE-TEOS막, PSG막 또는 BSG막 등을 포함한다.
- <38> 제1절연막(24) 상에 반사방지막(Organic Anti-Reflective Coating, 도시하지 않음)을 형성하는 바, 반사방지막의 고유한 특성인 노광시 난반사 방지의 역할 뿐만아니라 특

히, ArF용 포토레지스트와의 식각 특성 및 제거시의 용이함을 위해 유기 계열(Organic)의 물질을 이용한다.

<39> 계속해서, 반사방지막 상에 포토레지스트를 도포한 다음, ArF 또는 KrF 등의 노광원을 이용한 사진식각 공정을 통해 셀콘택을 위한 포토레지스트 패턴(도시하지 않음)을 형성한다.

<40> 구체적으로, 반사방지막 상에 포토레지스트를 일정 두께로 도포한 다음, 노광원(도시하지 않음)과 소정의 레티클(도시하지 않음)을 이용하여 포토레지스트의 소정 부분을 선택적으로 노광하고, 현상 공정을 통해 노광 공정을 통해 노광되거나 혹은 노광되지 않은 부분을 잔류시킨 다음, 후세정 공정 등을 통해 식각 잔유물 등을 제거함으로써 포토레지스트 패턴을 형성한다.

<41> 이어서, 포토레지스트 패턴을 식각마스크로 셀영역(A-A')에서의 제1절연막(24)과 식각정지막(23)을 차례로 식각하여(즉, 자기정렬콘택(Self Align Contact; 이하 SAC이라 함) 식각 공정을 통해) 셀 콘택 패드 형성을 위한 콘택홀(도시하지 않음)을 형성한다. 이어서, 포토레지스트 스트립(Photoresist strip) 공정을 실시하여 포토레지스트 패턴과 반사방지막을 제거한 다음, 세정 공정을 통해 식각시 발생한 부산물을 제거한다.

<42> 이어서, 콘택홀이 형성된 프로파일 따라 콘택 패드 형성을 위한 전도성 물질을 콘택홀을 충분히 매립할 정도로 증착한다.

<43> 여기서, 콘택 패드 형성을 위한 전도성 물질은 폴리실리콘막 또는 텅스텐막 등을 포함한다.

- <44> 계속해서, 하드마스크(22)가 노출되는 식각 타겟으로 전면식각 또는 CMP 공정을 실시하여 하부의 기판(20)에 콘택되며 서로 격리된(Isolated) 복수의 콘택 패드(25)를 형성한다.
- <45> 도 2b는 셀영역(A-A')에서 복수의 콘택 패드(25)가 형성된 공정 단면을 나타낸다.
- <46> 이어서, 셀영역(A-A')에서 콘택 패드가 형성된 전면에 포토레지스트를 도포하고, 노광 및 현상을 실시하여 주변회로영역(B-B')에서 비트라인 패턴 상부를 오픈시키기 위한 포토레지스트 패턴(26)을 형성한다.
- <47> 포토레지스트 패턴(26)을 식각마스크로 주변회로영역(B-B')에서의 비트라인 패턴의 하드마스크(22)를 제거하여 전도막(21)을 노출시킨다.
- <48> 이 때, 포토레지스트 패턴(26)의 마스크 폭은 통상의 비트라인 패턴의 전원 라인 연결을 위한 비아홀 패턴의 폭보다 20% ~ 50% 정도 크게 제작하는 것이 바람직하다.
- <49> 도 2c는 주변회로영역(B-B')에서 비트라인 패턴의 하드마스크(22)가 제거된 공정 단면을 나타낸다.
- <50> 이어서, 하드마스크(22)가 제거되어 노출된 전도막(21) 상에 확산방지막(28)을 형성한다.
- <51> 확산방지막(28)은 후속 금속배선 등의 형성 공정에서 금속 원소 등이 하부로 확산되어 전기적 특성을 열화시키는 것을 방지하기 위한 것으로, Ti, TiN, TiW, Ta 및 TaN으로 이루어진 그룹으로부터 선택된 적어도 하나의 물질을 포함하는 것이 바람직하다.

- <52> 도 2d는 주변회로영역(B-B')의 비트라인 패턴의 상부 하드마스크가 제거되고 확산 방지막(28)이 형성되어 비트라인 패턴이 전도막(21)과 확산방지막(28)이 적층된 구조를 갖는 공정 단면을 나타낸다.
- <53> 셀영역(A-A')에서는 스토리지노드 콘택과 캐패시터 형성 공정을 실시한다. 이 때, 다수의 절연막이 형성되는 바, 본 실시예에서는 이를 제2절연막(29)이라 한다.
- <54> 제2절연막(29)은 산화막 계열의 물질막이 다층 구조로 형성된 것을 포함한다. 이러한 산화막 계열의 물질막은 BPSG막, LP-TEOS막, PE-TEOS막, PSG막 또는 BSG막 등을 포함한다.
- <55> 이어서, 주변회로영역(B-B')에서 비트라인 패턴의 전원 라인 연결을 위한 비아홀 형성 공정을 실시한다.
- <56> 구체적으로, 주변회로영역(B-B')에서 비트라인 패턴 상부의 확산방지막(28)을 노출시키기 위한 포토레지스트 패턴(30)을 형성한 다음, 포토레지스트 패턴(30)을 식각마스크로 제2절연막(29)을 식각하여 확산방지막(28)을 노출시키는 오픈부 즉, 비아홀(31)을 형성한다. 도 2e는 주변회로영역(B-B')에서 비아홀(31)이 형성된 공정 단면을 나타낸다.
- <57> 계속해서, 비아홀(31)을 매립하며 노출된 확산방지막(28)과 전기적으로 도통되도록 전도성 물질을 증착한 다음, 평탄화 공정을 실시하여 전도배선(32)을 형성한다.
- <58> 여기서, 전도배선(32)용 전도성 물질은 Al, Cu, TiN 및 W으로 이루어진 그룹으로부터 선택된 적어도 하나의 물질로 통상의 금속배선 또는 콘택 패드 물질을 포함하며, 이들의 증착은 화학기상증착(Chemical Vapor Deposition; 이하 CVD라 함) 방식을 사용하는 것이 바람직하다.

- <59> 도 2f는 전도배선(32)이 형성된 공정 단면을 나타낸다.
- <60> 이렇듯, 전도배선이 형성될 영역에서 미리 하드마스크를 제거하고 하드마스크가 제거된 곳에 확산방지막을 형성함으로써, 비아홀 형성 후 비아홀 내에 확산방지막을 증착하고 다시 전도배선용 전도성 물질을 증착함에 따라 비아홀 매립시 공극이 발생하는 등 갭-필 특성이 열화되던 종래의 문제점을 완화시킬 수 있다.
- <61> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.
- <62> 예컨대, 본 실시예에서는 반도체 메모리소자의 셀영역과 주변회로영역을 그 일례로 하였으나, 이외에도 다른 모든 반도체소자에 응용이 가능하며, 예시된 비트라인 패턴 이외에 게이트전극 패턴이나 금속배선 등에도 응용이 가능하다.

【발명의 효과】

- <63> 전술한 본 발명은, 주변회로영역에서 전도배선 형성시 갭-필 특성을 향상시킬 수 있어, 궁극적으로 반도체 소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】**【청구항 1】**

제1영역과 그 주변의 제2영역을 갖는 반도체소자의 제조 방법에 있어서,
기판의 상기 제1영역 및 상기 제2영역에 각각 전도막과 절연성 하드마스크가 적층된 복수의 전도패턴을 형성하는 단계;
상기 제2영역에서 상기 하드마스크를 제거하여 상기 전도막을 노출시키는 단계;
상기 노출된 전도막 상에 확산방지막을 형성하는 단계;
상기 제1영역 및 상기 제2영역을 포함하는 기판 전면에 절연막을 증착하는 단계;
상기 제2영역에서의 상기 절연막을 선택적으로 식각하여 상기 확산방지막을 노출시키는 오픈부를 형성하는 단계; 및
상기 오픈부를 통해 상기 확산방지막과 전기적으로 도통되는 전도배선을 형성하는 단계
를 포함하는 반도체소자 제조방법.

【청구항 2】

제 1 항에 있어서,
상기 제1영역은 반도체 메모리소자의 셀영역이며, 상기 제2영역은 상기 반도체 메모리 소자의 주변회로영역인 것을 특징으로 하는 반도체소자 제조방법.

【청구항 3】

제 2 항에 있어서,

상기 전도패턴은, 비트라인 패턴인 것을 특징으로 하는 반도체소자 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 확산방지막은, Ti, TiN, TiW, Ta 및 TaN으로 이루어진 그룹으로부터 선택된 적어도 하나의 물질을 포함하는 것을 특징으로 하는 반도체소자 제조방법.

【청구항 5】

제 1 항에 있어서,

상기 하드마스크는, 질화막 계열의 물질로 이루어진 것을 특징으로 하는 반도체소자 제조방법.

【청구항 6】

제 1 항에 있어서,

상기 전도배선은, Al, Cu, TiN 및 W으로 이루어진 그룹으로부터 선택된 적어도 하나의 물질을 포함하는 것을 특징으로 하는 반도체소자 제조방법.

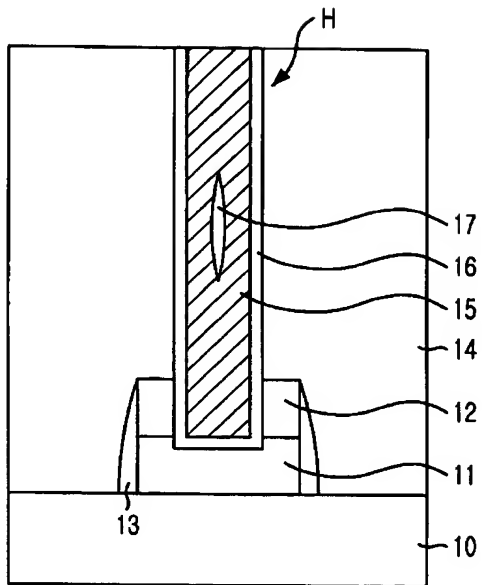
【청구항 7】

제 1 항에 있어서,

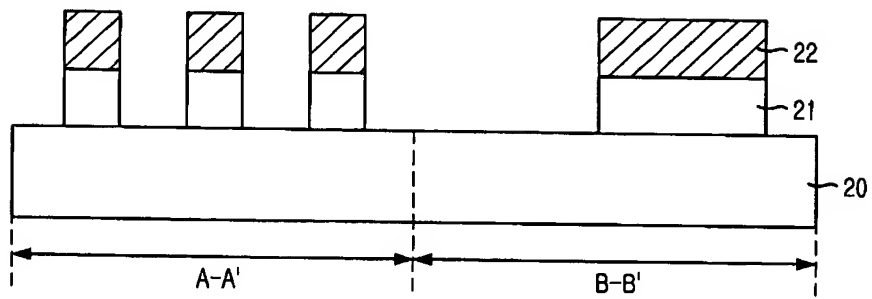
상기 전도배선은, 상기 전도막에 파워라인을 연결하기 위한 금속배선이며, 상기 오픈부는 비아홀인 것을 특징으로 하는 반도체소자 제조방법.

【도면】

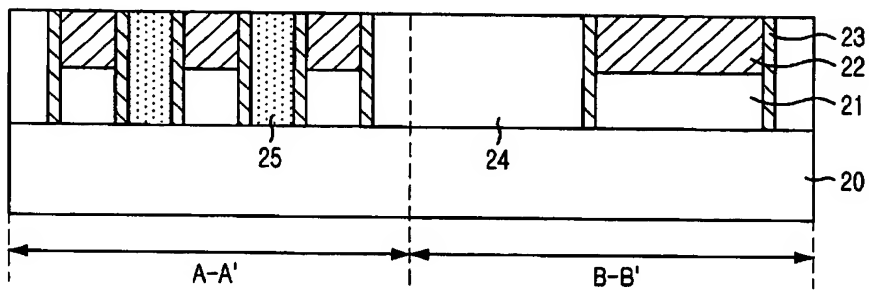
【도 1】



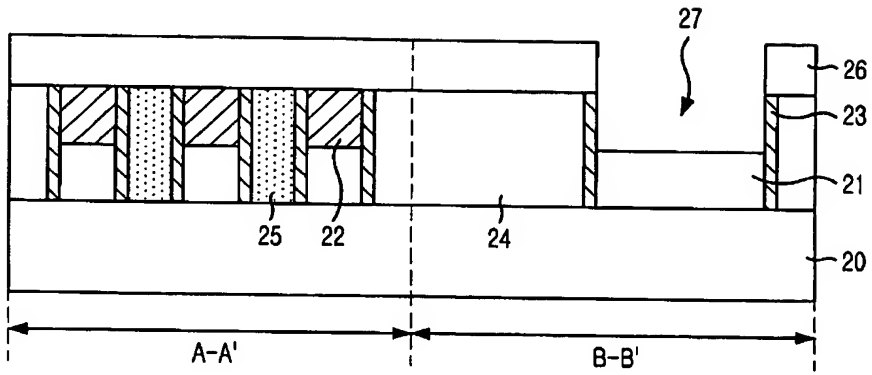
【도 2a】



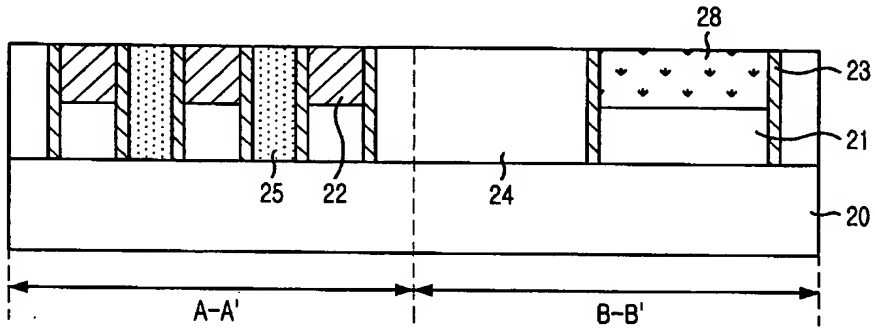
【도 2b】



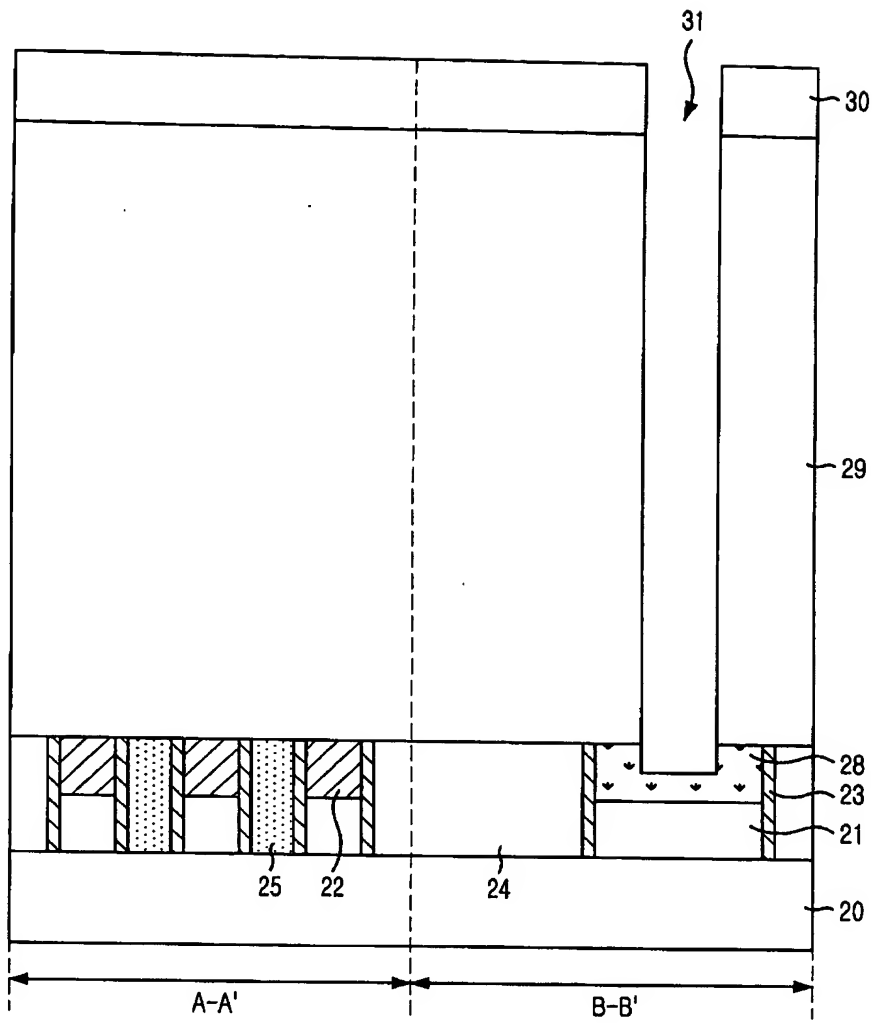
【도 2c】



【도 2d】



【도 2e】



【도 2f】

